

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 00274029 A
(43)Date of publication of application: 05.12.1991

(21)Application number: 2074433
(22)Date of filing: 23.03.1990

(71)Applicant: SANYO ELECTRIC CO LTD
(72)Inventor: YAMADA TSUTOMU

(51)Int. Cl G02F 1/136

(54) THIN FILM TRANSISTOR ARRAY OF ACTIVE MATRIX TYPE DISPLAY DEVICE AND PRODUCTION THEREOF

(57) Abstract:

PURPOSE: To form a capacity element of an extremely small occupying area in a picture element region by forming an auxiliary capacity electrode of a metallic film of tantalum, coating the surface thereof with tantalum oxide and forming the capacity insulating film between the auxiliary capacity electrode and the picture element electrode of the tantalum oxide film. CONSTITUTION: A gate insulating film 4 on the auxiliary capacity electrode 3 of the tantalum coated with the surface oxide film 31 of the auxiliary capacity electrode consisting of the tantalum oxide is removed to expose the surface oxide film 31 of the auxiliary capacity electrode across the region C. Although the auxiliary capacity electrode 3 consisting of the opaque tantalum metal exists within the picture element region of the picture element electrode 8 in the capacitor element of this region C, the dielectric material of the capacitor element consisting of this auxiliary capacity electrode 3 and the picture element electrode 3 as respective electrodes is constituted of only the one layer of the surface oxide film 31 of the auxiliary capacity electrode of the tantalum oxide having a high dielectric constant, by which the capacity value of the capacitor element is greatly increased. In addition, the designing of this element to the extremely small area is possible. The degradation in the effective light transmittance in the picture element region is suppressed. COPYRIGHT: (C)1991,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-274029

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月5日

G 02 F 1/136

5 0 0

9018-2K

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 アクティブマトリクス型表示装置の薄膜トランジスタアレイ及びその製造方法

⑯ 特 願 平2-74433

⑰ 出 願 平2(1990)3月23日

⑱ 発 明 者 山 田 努 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑲ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
⑳ 代 理 人 弁理士 西野 卓嗣 外2名

明 細 書

1. 発明の名称

アクティブマトリクス型表示装置の薄膜トランジスタアレイ及びその製造方法

2. 特許請求の範囲

(1) 絶縁基板上にゲート電極、ゲート絶縁膜、非結晶半導体膜、ソース電極及びドレイン電極、を積層形成した薄膜トランジスタと、該トランジスタのソース電極に結合した画素電極と、該画素電極に容量絶縁膜を介して積層される補助容量電極とを備えたアクティブマトリクス型表示装置の薄膜トランジスタアレイに於て、

上記補助容量電極はタンタル金属膜にて形成され、該金属膜表面には酸化処理による酸化タンタルが被覆されており、補助容量電極と画素電極との間の容量絶縁膜を該酸化タンタル被覆のみで形成したことを薄膜トランジスタアレイ。

(2) 上記ゲート電極は上記補助容量電極と同一のタンタル金属膜にて同時形成され、これら両電極表面が酸化タンタルで被覆されたことを特徴と

した請求項1記載の薄膜トランジスタアレイ。

(3) 絶縁基板上に第1金属膜からなるゲート電極とこれにつながるゲート配線、並びに補助容量電極とこれにつながる補助容量配線を同時形成する第1金属膜パターン形成工程、

上記第1金属膜の内、ゲート配線の端子部を除き、且つ少なくとも補助容量電極の表面を酸化処理して、該電極を被覆する金属酸化膜を形成する第1金属表面酸化処理工程、

該酸化処理工程後に、基板全面にゲート絶縁膜を成膜する絶縁膜成膜工程、

上記ゲート電極位置のゲート絶縁膜上に、所定パターンの非結晶半導体膜を形成する半導体膜パターン形成工程、

金属酸化膜で被覆されていないゲート配線端子部、及び金属酸化膜で被覆されている補助容量電極上の上記ゲート絶縁膜を除去する絶縁膜除去工程、

上記非結晶半導体膜上に第2金属からなるソース電極とドレイン電極を形成すると同時に、上記

ゲート絶縁膜から露出した上記ゲート配線端子部上に該第2金属からなるゲート配線端子を形成する第2金属パターン形成工程、

上記第2金属パターン形成工程前、またはその後、ソース電極と結合されるべく設けられる透明導電膜からなる画素電極を少なくとも上記ゲート絶縁膜から露出した金属酸化膜被膜を有する補助容量電極上に形成する透明導電膜パターン形成工程、

を備えた薄膜トランジスタアレイの製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は、アクティブマトリクス型表示装置の薄膜トランジスタアレイ（以下TFTと称する）に関する。

(ロ) 従来の技術

近年、アクティブマトリクス型の表示装置、特にアクティブマトリクス型液晶表示装置が開発され、この装置を用いた液晶TVが実用化されている。

容量素子を付加したものであるため、TFTのオフ期間の画像信号の保持特性が向上し、表示品質の高い表示装置が実現できる。

また一方、TFTのオフ期間の画像信号の保持特性が向上を図る容量素子を隣接ゲート配線と画素電極からこの隣接ゲート配線上に絶縁膜を介して延在した電極とを容量電極とした容量素子を付加したものが存在する。このような容量素子の誘電材料としては、特開平1-102525号公報に開示されているように、酸化タンタルと窒化シリコンの2重層を構成要素とする事が提案されている。

特開平1-102525号公報に開示の如き2重誘電材料を用いた容量素子は、酸化タンタルの比誘電率が高い値（22）であっても、窒化シリコンのその値が低い値（6.4）であるため、実効比誘電率の値が1.0程度となり、さほど誘電率の向上が望めないものであったが、上述の如く画素電極自体を容量電極として用いていないので、容量素子の実効面積を極端に狭くする必要がない

このようなアクティブマトリクス型の液晶表示装置は、液晶セルの一方のセル基板を画素電極対応の薄膜トランジスタアレイ基板とし、他方のセル基板を対向電極基板としたものである。

従来のアクティブマトリクス型表示装置の薄膜トランジスタアレイの1画素単位の断面構造を第3図に示す。

同図の従来装置は、絶縁基板1上にゲート電極2、ゲート絶縁膜4、非結晶半導体膜5、ソース及びドレインコンタクト領域をなす不純物非結晶半導体膜6、6、ソース電極8、ドレイン電極9を積層構成してなるTFTと、該TFTから延在したゲート絶縁膜4上に形成してTFTのソース電極8に結合した透明導電材料からなる画素電極7と、この画素電極7の下層に絶縁膜（ゲート絶縁膜4、非結晶半導体膜5）及び不純物非結晶半導体膜6を介して存在する透明導電材料からなる補助容量電極3とで1画素単位を構成している。

このような従来の薄膜トランジスタアレイは、画素電極7と補助容量電極3とを容量電極とした

ため、隣接ゲート配線と画素電極からこの隣接ゲート配線上に絶縁膜を介して延在した電極との重なり面積を十分広く設定することで容量値を補うことができる。

しかしながら、第3図の如き容量素子の補助容量電極3をゲート電極2と同1の不透明の金属材料で形成して製造工程の簡略化を図る場合には、この補助容量電極をできるだけ狭く設計しないと透過型の表示装置、例えば液晶表示装置を実現することはできないので、従来以上に容量値の高い容量素子が必要となる。

(ハ) 発明が解決しようとする課題

本発明は、上述の点に鑑みてなされたものであり、容量値の高い容量素子を組み込んで、狭い実効面積の容量素子でも、TFTのオフ期間の画像信号の保持特性の高いアクティブマトリクス型表示装置の薄膜トランジスタアレイ及びその製造方法を提供するものである。

(ニ) 課題を解決するための手段

本発明のアクティブマトリクス型表示装置の薄

膜トランジスタアレイは、絶縁基板上にゲート電極、ゲート絶縁膜、非結晶半導体膜、ソース電極及びドレイン電極、を積層形成した薄膜トランジスタと、該トランジスタのソース電極に結合した画素電極と、該画素電極に容量絶縁膜を介して積層される補助容量電極とを備えたものであって、

上記補助容量電極はタンタル金属膜にて形成され、該金属表面には酸化処理による酸化タンタルが被覆されており、補助容量電極と画素電極との間の容量絶縁膜を該酸化タンタル被覆のみで形成したものである。

更に、本発明のアクティブマトリクス型表示装置の薄膜トランジスタアレイの製造方法は、以下の工程を備えるものである。

絶縁基板上に第1金属膜からなるゲート電極とこれにつながるゲート配線、並びに補助容量電極とこれにつながる補助容量配線を同時形成する第1金属膜パターン形成工程、

上記第1金属膜の内、ゲート配線の端子部を除き、且つ少なくとも補助容量電極の表面を酸化処

理して、該電極を被覆する金属酸化膜を形成する第1金属表面酸化処理工程、

該酸化処理工程後に、基板全面にゲート絶縁膜を成膜する絶縁膜成膜工程、

上記ゲート電極位置のゲート絶縁膜上に、所定パターンの非結晶半導体膜を形成する半導体膜パターン形成工程、

金属酸化膜で被覆されていないゲート配線端子部、及び金属酸化膜で被覆されている補助容量電極上の上記ゲート絶縁膜を除去する絶縁膜除去工程、

上記非結晶半導体膜上に第2金属からなるソース電極とドレイン電極を形成すると同時に、上記ゲート絶縁膜から露出した上記ゲート配線端子部に該第2金属からなるゲート配線端子を形成する第2金属パターン形成工程、

上記第2金属パターン形成工程前、またはその後に、ソース電極と結合されるべく設けられる透明導電膜からなる画素電極を少なくとも上記ゲート絶縁膜から露出した金属酸化膜被覆を有する補

助容量電極上に形成する透明導電膜パターン形成工程。

(ホ) 作用

本発明のアクティブマトリクス型表示装置の薄膜トランジスタアレイによれば、画素電極自体を一方の容量電極として用いていながらも、その誘電材料に高誘電率の酸化タンタル膜のみを採用しているので、他方の容量電極である補助容量電極の占有面積を狭くでき、画素電極位置でのこの補助容量電極の存在による実効的な光透過率の低下を抑制できる。

又、本発明のアクティブマトリクス型表示装置の薄膜トランジスタアレイの製造方法によれば、TFTのゲートと同時に形成した金属材料からなる補助容量電極の表面を酸化処理するだけで、容量素子の誘電材料層を形成でき、しかも工程でこの誘電材料層上に形成されるTFTのゲート絶縁膜は、ゲート配線の端子部をゲート絶縁膜から露出させるための絶縁膜除去工程で同時に除去できるので、酸化処理工程の付加だけで容量素子を

得ることができる。

(ヘ) 実施例

第1図に、本発明のアクティブマトリクス型表示装置の薄膜トランジスタアレイの画素単位の平面図を示す。更に、第2図(a)に第1図のII-II線に沿った断面図を示し、同図(b)に該アレイ基板端部に於けるゲート配線端子構造に断面図を示す。

これらの図の構造を製造工程に従って、以下に解説する。

①ゲート電極2及び補助容量電極3の形成

第1金属膜(タンタル)をガラスからなる絶縁基板1上に成膜し、これをパターンニングする第1金属膜パターン形成工程によって、TFTのゲート電極2とこれにつながるゲート配線2'、並びに容量素子の一方の電極をなす補助容量電極3とこれにつながる補助容量配線3'を同時に形成する。

②ゲート電極表面酸化膜21及び補助容量電極表面酸化膜31の形成

上記第1金属膜の内、ゲート配線2'の端子部を除き、その表面を陽極酸化処理する第1金属表面酸化処理工程によって、2000Å程度の膜厚の酸化タンタルからなるゲート電極表面酸化膜21及び容量素子の誘電材料層をなす補助容量電極表面酸化膜31を形成する。尚、第2図(b)のゲート配線2'の端子部Pの酸化処理回避は、この部分にあらかじめレジストなどのマスクを施しておく事で可能になる。

③ゲート絶縁膜成膜4の成膜

プラズマCVD法による窒化シリコンの絶縁膜成膜工程によって、TFET用のゲート絶縁膜4を基板全面に成膜する。

④非結晶半導体膜5の形成

上記絶縁膜成膜工程に連続して、プラズマCVD法でアモルファスシリコン膜を成膜し、さらにこれに連続して、同じくプラズマCVD法で燐などのN型不純物を導入したN型不純物アモルファスシリコン膜を成膜する。この様に積層成膜された両アモルファスシリコン膜をパターンニングする

この絶縁膜4から露出した補助容量電極表面酸化膜31との上に形成する。これによって、補助容量電極表面酸化膜31上に存在する第1図の領域Cに該当した画素電極7の領域が他方の容量電極となる。

⑤ソース電極8及びドレイン電極9の形成

第2金属膜(アルミ)を全面被着し、これをパターンニングする第2金属パターン形成工程によって、TFET用の上記不純物非結晶半導体膜6上にソース電極とドレイン電極を形成すると同時に、上記ゲート絶縁膜4から露出した第2図(b)のゲート配線端子部P上に該第2金属からなるゲート配線端子10を形成する。

⑥不純物非結晶半導体膜6、6の分離

上記半導体膜パターン形成工程で非結晶半導体膜5とともにパターンニングされた不純物非結晶半導体膜6をソース電極8、ドレイン電極9をマスクとしてエッチング除去することによって、両電極下で非結晶半導体膜5に対するソース及びドレインコンタクト領域となる分離された不純物非結

晶半導体膜パターン形成工程によって、TFETの上記ゲート電極2位置のゲート絶縁膜4上に、TFET用非結晶半導体膜5と不純物非結晶半導体膜6(この不純物非結晶半導体膜6は後工程で図示の如くソース及びドレインコンタクト領域に分離される)との積層構造体を形成する。

⑦ゲート絶縁膜4の部分的除去

窒化シリコンからなる上記ゲート絶縁膜4をパターンニングする絶縁膜除去工程によって、酸化タンタルで被覆されていない第2図(b)のゲート配線2'の端子部P上のゲート絶縁膜4を除去してこの端子部Pを露出されると同時に、酸化タンタルの補助容量電極表面酸化膜31で被覆されたタンタルの補助容量電極3上のゲート絶縁膜4を除去して第1図のハッチングで示した領域Cに渡って補助容量電極表面酸化膜31を露出させる。

⑧画素電極7の形成

ITOなどの透明導電材料膜を成膜し、これをパターンニングする透明導電膜パターン形成工程によって、透明な画素電極を上記ゲート絶縁膜4と

晶半導体膜6、6が得られる。

以上の工程順の説明では、画素電極7を形成した後、ソース電極8及びドレイン電極9を形成したが、この工程順は逆でもよく、結果として、ソース電極8の一部と画素電極7の一部が重畳して電気的に結合できれば良い。また、この実施例では、単にオーミックコンタクトを図るために不純物非結晶半導体膜6、6を設けたが、必ずしも必要でない。

以上の如くして得られた第1図の領域Cの容量素子は、不透明なタンタル金属からなる補助容量電極3が画素電極8の画素領域内に存在するものの、この補助容量電極3と画素電極8とを各電極として容量素子の誘電材料を高誘電率(比誘電率が22)の酸化タンタルからなる補助容量電極表面酸化膜31の一層のみで構成したことにより、この容量素子の容量値を大幅に高めることが可能になるので、その面積を非常に狭く設計でき、これによって、画素領域内の実効的な光透過率の低下を抑制できる。例えば、特開平1-102525

号公報開示の容量素子（酸化タンタル膜と窒化シリコン膜の2層構造の比誘電率：10）に比べて本発明実施例の容量素子は、比誘電率が22の酸化タンタル膜のみを誘電材料を用いているので、誘電率の厚みが半減し、非誘電率が倍増しているため、4倍以上の容量値を持ち、これによって、1/4以下の面積の容量素子でこの従来素子と同等の画像信号の保持能力を発揮できる。

また、以上の如くして得られたTFTは、ゲート電極2上にゲート電極表面酸化膜21とゲート絶縁膜4との2層の絶縁膜を備える事になるが、ゲート電極表面酸化膜21は必ずしも必要とはいえない。しかしながら、窒化シリコンからなるゲート絶縁膜4にクラックなどの歪みが生じる危険がある場合には、安定した膜質を持つ酸化タンタルからなるゲート電極表面酸化膜21を介在させる事によって、TFTの信頼性の向上が望める。但し、窒化シリコンからなるゲート絶縁膜4は、プラズマCVD法によりこの上に連続形成されるアモルファスシリコンの非結晶半導体膜5の膜質

の安定化に必要である。即ち、もし酸化タンタル膜上にアモルファスシリコン膜を直接形成するとアモルファスシリコン膜の酸化タンタル膜との接合面でのアモルファス構造に歪みが生じ、電子移動度に変調を来してTFT特性を劣化させる恐れがあるので、上記ゲート絶縁膜4を備えるのが好ましい。

更に、上述の実施例に於ては、第1金属としてタンタルを用いたが、本発明製造方法では、これに限定されることなく、表面酸化処理が可能な金属、例えばアルミニウムが使用でき、この場合にはゲート電極2及び補助容量電極3がアルミニウム、ゲート電極表面酸化膜21及び補助容量電極表面酸化膜がアルミニウムを陽極酸化したアルミナで構成できる。アルミナの比誘電率は、8.6程度であるが、陽極酸化処理電圧制御によって、100～500Åに薄膜成形できるので、容量値の高い容量素子が得られる。

(ト) 発明の効果

本発明によれば、占有面積の極めて小さい容量

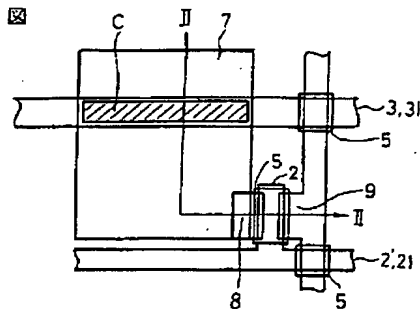
素子を画素領域に形成することが可能なアクティブマトリクス型表示装置の薄膜トランジスタアレイを実現でき、そのための製造工程に於ける負担増加も少なくてよい。

4. 図面の簡単な説明

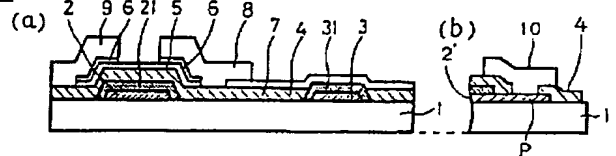
第1図は本発明のアクティブマトリクス型表示装置の薄膜トランジスタアレイの画素単位の平面図、第2図は第1図のII-II線に沿った断面図、第3図は従来装置の断面図である。

1…絶縁基板、2…ゲート電極、3…補助容量電極、4…ゲート絶縁膜、5…非結晶半導体膜、7…画素電極、8…ソース電極、9…ドレイン電極、10…ゲート端子、21…ゲート電極表面酸化膜、31…補助容量電極表面酸化膜。

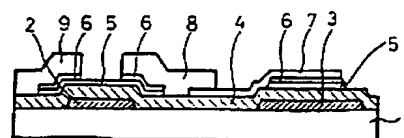
第1図



第2図



第3図



出願人 三洋電機株式会社

代理人 弁理士 西野卓嗣 (外2名)

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第2区分
 【発行日】平成10年(1998)10月23日

【公開番号】特開平3-274029
 【公開日】平成3年(1991)12月5日
 【年通号数】公開特許公報3-2741
 【出願番号】特願平2-74433
 【国際特許分類第6版】
 G02F 1/136 500
 【FI】
 G02F 1/136 500

予説補正書(自発)

平成9年2月27日

特許庁長官 殿

1. 事件の表示

平成2年特許第074483号

2. 補正をする者

事件との関係 特許出願人

名 称 (188) 三洋電機株式会社

代表者 高野 泰明

3. 代理人

住 所 群馬県邑楽郡大泉町坂田一丁目1番1号

三洋電機株式会社 情報通信事業本部

氏 名 (7679) 井堀士 安富 朝二

連絡先: 電話(03)5694-8268 知的財産部駐在

4. 補正の対象

(1)明細書の「特許請求の範囲」の欄。

(2)明細書の「発明の詳細な説明」の欄。

5. 補正の内容

(1)「特許請求の範囲」を別紙の通り補正する。

(2)-(イ) 明細書第6頁第20行乃至第7頁第11行を下記の通り補正する。

記

「本発明のアクティブマトリクス型表示装置の薄膜トランジスタアレイは、絶縁基板上にゲート電極、ゲート絶縁膜、非結晶半導体膜、ソース電極及びドレイン電極、を積層形成した薄膜トランジスタと、該トランジスタのソース電極に結合した直素電極と、該直素電極に容量絶縁膜を介して積層される補助容量電極とを備えたアクティブマトリクス型表示装置の薄膜トランジスタアレイに於て、上記補助容量電極は表面酸化処理可能な金属膜にて形成され、該金属膜表面には酸化処理による表面酸化膜が被覆されており、補助容量電極と直素電極との間の容量絶縁膜は、

該表面酸化被覆のみで形成したものである。

また、上記ゲート電極は上記補助容量電極と同一の表面酸化処理可能な金属膜にて同時形成され、これら両電極表面が表面酸化膜で被覆されたものである。」

(2)-(ロ) 明細書第9頁第7行を下記の通り補正する。

記

「電材料に高導電率の表面酸化処理可能な金属膜の表面酸化膜のみを採用し」

以上

<特許請求の範囲>

(1) 絶縁基板上にゲート電極、ゲート絶縁膜、非結晶半導体膜、ソース電極及びドレイン電極、を順層形成した薄膜トランジスタと、該トランジスタのソース電極に結合した図素電極と、該図素電極に寄生絶縁膜を介して被覆される補助容量電極とを備えたアクティブマトリクス型表示装置の薄膜トランジスタアレイに於て、

上記補助容量電極は表面酸化処理が可能な金属膜にて形成され、該金属膜面には酸化処理による表面酸化膜が被覆されており、補助容量電極と図素電極との間の寄生絶縁膜を該表面酸化膜のみで形成したことを特徴とする薄膜トランジスタアレイ。

(2) 上記ゲート電極は上記補助容量電極と同一の表面酸化処理が可能な金属膜にて同時形成され、これら両電極表面が表面酸化膜で被覆されたことを特徴とした請求項1に記載の薄膜トランジスタアレイ。

(3) 絶縁基板上に第1金属からなるゲート電極とこれにつながるゲート配線、並びに補助容量電極とこれにつながる補助容量配線を同時形成する第1金属膜パターン形成工程、

上記第1金属膜の内、ゲート配線の端部を除き、且つ少なくとも補助容量電極の表面を酸化処理して、其電極を被覆する金属酸化膜を形成する第1金属表面酸化処理工程、

酸酸化処理工程後に、基板全面にゲート絶縁膜を成膜する絶縁膜成膜工程、

上記ゲート電極位置のゲート絶縁膜上に、所定パターンの非結晶半導体膜を形成する半導体膜パターン形成工程、

金属酸化膜で被覆されていないゲート配線端部、及び金属酸化膜で被覆されている補助容量電極上の上記ゲート絶縁膜を除去する絶縁膜除去工程、

上記非結晶半導体膜上に第2金属からなるソース電極とドレイン電極を形成すると同時に、上記ゲート絶縁膜から露出した上記ゲート配線端部上に第2金属からなるゲート配線端部を形成する第2金属パターン形成工程、

上記第2金属パターン形成工程前、またはその後に、ソース電極と結合されるべく設けられる透明導電膜からなる図素電極を少なくとも上記ゲート絶縁膜から

露出した金属酸化被膜を有する補助容量電極上に形成する透明導電膜パターン形成工程、

を備えたことを特徴とする薄膜トランジスタアレイの製造方法。